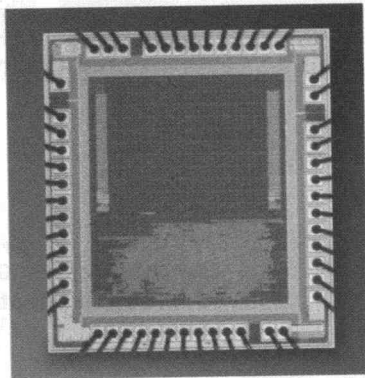


Microcontrôleur 16 bits en logique asynchrone de Tiempo

Le circuit TAM 16 de la jeune société française Tiempo est un microcontrôleur 16 bits, conçu en logique asynchrone, et commercialisé sous la forme d'un bloc IP validé au niveau silicium en technologie 130 nm.

Tiendo, fondée en juillet 2007 par Serge Maginot et Marc Renaudin (voir la « Tribune » dans notre numéro de novembre 2008), développe des circuits basés sur les technologies asynchrones et les commercialise sous forme de blocs IP. Après avoir démarré son portefeuille de produits avec des cryptoprocresseurs, Tiempo propose aujourd'hui un microcontrôleur 16 bits, réalisé en technologie Cmos 130 nm. Entièrement conçu en logique asynchrone, c'est-



à-dire sans recours à une horloge interne, ce circuit bénéficie d'une consommation très basse, de l'ordre de 40 µA par Mips soit, selon la société, un niveau quatre fois moins élevé qu'un microcontrôleur 16 bits traditionnel développé en logique synchrone. Au-delà, cette approche asynchrone autorise une bascule automatique et instantanée en mode veille ainsi qu'un redémarrage

de l'activité du circuit en quelques ns.

Côté architecture, ce circuit, baptisé TAM16, procure autour du cœur 16 bits, un bloc Uart trois timer, un contrôleur d'interruption, un bloc de programmation des entrées/sorties et deux interfaces mémoires (une pour des mémoires Rom ou Ram externes, une pour l'espace mémoire propre du circuit).

Ce microcontrôleur est destiné à équiper des systèmes de réseaux de capteurs et des systèmes de mesure autonome, ou bien à être intégré dans des cartes à puce sans contact. D'une manière générale, le fait de développer ce circuit en technologie asynchrone, ce qui le rend peu sensible aux délais et résistant aux fortes variabilités des process nanométriques, lui permet de viser les marchés des applications embarquées à fortes contraintes en

termes de consommation (applications médicales, identificateurs RFID...) et celles qui réclament un niveau élevé de sécurité (paiement électronique, système de cryptage...).

Ce bloc IP est fourni sous la forme de fichier Verilog. Il est accompagné d'un kit de développement logiciel, intégrant notamment un ISS (Instruction set simulator) et un débogueur adapté.

ELECTRONIQUE N°198, P.12

Les autres nominés

- Cœur de processeur 32 bits (Cortex-M0) d'Arm
- Cœur de processeur Risc 16 bits (XAP5) de Cambridge Consultants
- Vidéo sur liaison USB de Display-Link
- Bloc IP synthétisable IEEE 1149.7 ou cJtag d'IPextreme
- Bus hiérarchisé pour SoC multiprocresseurs (Xtensa LX2) de Tensilica